

PUBLICATION NUMBER : 62152873
PUBLICATION DATE : 07-07-87

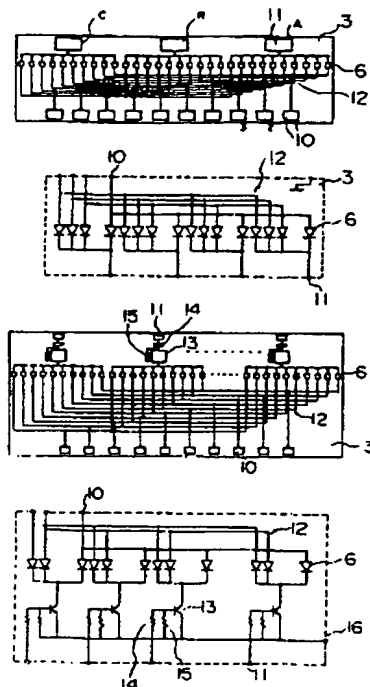
APPLICATION DATE : 27-12-85
APPLICATION NUMBER : 60294761

APPLICANT : ALPS ELECTRIC CO LTD;

INVENTOR : MURATA SHINJI;

INT.CL. : B41J 3/21 G03G 15/04 H04N 1/036

TITLE : LED ARRAY HEAD



ABSTRACT : PURPOSE: To prevent defective bonding from occurring, by energizing LEDs arranged on an LED chip array by a matrix wiring and reducing the number of bondings for the LED array chip.

CONSTITUTION: LEDs 6 arranged on each LED array chip 3 are divided into a plurality of sets, and a matrix wiring 12 is provided on the array chip 3. A control is performed so that an individual one of the array chips 3 is selected, and one of the LEDs 6 is driven to emit light through one of individual electrodes 10 and one of common electrodes 11. With this construction, the dynamic driving duty of the LEDs can be reduced to 1/8 based on that in a conventional system, and the number of the individual electrodes can be reduced from a conventional number of 64 to 8. With the matrix wiring incorporated into each of the array chips, the number of bondings for the array chip 3 can be markedly reduced, and productivity can be enhanced.

COPYRIGHT: (C)1987,JPO&Japio

BEST AVAILABLE COPY

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-152873

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月7日

B 41 J 3/21
G 03 G 15/04
H 04 N 1/036

1 1 6

8004-2C
8607-2H
A-7334-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 発光ダイオード・アレー・ヘッド

⑯ 特 願 昭60-294761

⑰ 出 願 昭60(1985)12月27日

⑱ 発 明 者 布 施 雅 志 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑲ 発 明 者 井 口 弘 文 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑳ 発 明 者 村 田 真 司 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

㉑ 出 願 人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

㉒ 代 理 人 弁理士 森 田 寛 外3名

明 細 書

1. 発明の名称

発光ダイオード・アレー・ヘッド

2. 特許請求の範囲

複数の発光ダイオードがアレー状に配列された発光ダイオード・アレー・チップが複数の分実装基板上に実装され、当該アレー状に配列された発光ダイオードによって感光体上に静電潜像を形成せしめた上で、現像が行われるプリンタにおいて、

上記発光ダイオード・アレー・チップ上の複数の発光ダイオードを複数の組に区分して、当該各組を選択する共通電極群と、上記複数の各組における組内の個別の発光ダイオードを選択する個別電極群と、上記各発光ダイオードに対するプリント配線とを、当該発光ダイオード・アレー・チップ上に形成すると共に、

上記実装基板側から上記複数の発光ダイオ

ード・アレー・チップを選択的に駆動する手段をもうけた

ことを特徴とする発光ダイオード・アレー・ヘッド。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、発光ダイオード・アレー・ヘッド、特にアレー状に配列された発光ダイオードによって感光体上に静電潜像を形成せしめるプリンタにおいて、当該発光ダイオードに対する駆動回路部の配線を大幅に減少せしめ、例えばワイヤ・ボンディングによって行われる配線接続数を大幅に減少した発光ダイオード・アレー・ヘッドに関するものである。

(従来の技術と発明が解決しようとする問題点)

電子写真プロセスを用いたプリンタが知られており、当該プリンタにおける感光体ドラム上に形成せしめる静電潜像を、アレー状に配列された発

BEST AVAILABLE COPY

特開昭62-152873(3)

1図(A)図示のものに対応しており、第1図(A)図示の個別電極10が駆動用ICチップ4によって駆動され、かつ第1図図示の共通電極11が第2図図示の共通側選択端子8に接続されている。

第1図(A)図示の如く各アレー・チップ内にマトリクス配線を持たむことによって、アレー・チップ3に対するボンディング数が大幅に減少される。

第3図(A)および(B)は本発明に用いる発光ダイオード・アレー・チップの他の実施例を示している。第3図(A)は実装状態の概念図、第3図(B)はその回路図を示す。

図中の符号3、6、10、11、12は第1図に対応し、13は共通側駆動用トランジスタ、14はベース電流制限抵抗、15はベース・ブルダウン抵抗、16はアレー・チップ基板電極を表している。

図示の場合には、共通電極11に対して共通側駆動用トランジスタ13に対する制御信号が供給

される形となる。そして実際に駆動電流が流れる端子は、図示のアレー・チップ基板電極16であり、共通に1つもうければ足りる。

第4図は第1図(A)図示の場合の断面図を示し、符号3、6、10、11、12は第1図(A)に対応している。そして3-1はGaAsPエピタキシャル成長層、3-2はGaAs基板またはSi基板を表している。

また第5図は第3図(A)図示の場合の構成を示し、第5図(A)は第5図(B)図示X、X'線における断面図を示している。図中の符号3-1、3-2、6、10、11、13、14、15、16は第3図、第4図に対応している。

第1図および第4図に示す構成の場合、発光ダイオード6に対するダイナミック駆動のデューティを1/8とし、個別電極の個数を従来の64個から8個に減少することができる。ただ共通電極側は従来チップの背面に1個で足りたものが表面に8個もうけることとなる。言うまでもなく、チップ3へのボンディング個数は16個となる。こ

のために、ボンディング用パッドの面積を大にすることができ、またワイヤの密度が減少し、生産性が向上する。ワイヤの密度は、従来の場合、チップの両側に引き出すとき240DPIで212 μ m、300DPIで170 μ mであり、チップの片側に引き出すとき240DPIで106 μ m、300DPIで85 μ mであったが、第1図図示の場合には、240DPIで約1.6 μ m、300DPIで約1.3 μ mとなり、ワイヤ・ボンド以外の例えばテープ・オートマチック・ボンディング(TAB)などの一括ボンディングが可能となる。

第3図および第5図に示す構成の場合、電流のリターン側となるアレー・チップ基板電極16はチップ3の背面にもうけることができる。そして、この構成の場合にも、第1図および第4図の場合と同様にアレー・チップ3の背面は全体的に同じ電位にすることができ、実装上の精度は従来の場合よりも低くて足りる。またトランジスタのベースまたはゲートの制御電極のみを外部へ取出すために、共通電極11の電流容量を少なくできる。

更にトランジスタを実装するのみであるので、アレー・チップ3に対して外部から電源電圧を加える必要がなく、配線数が特別に増大することもない。

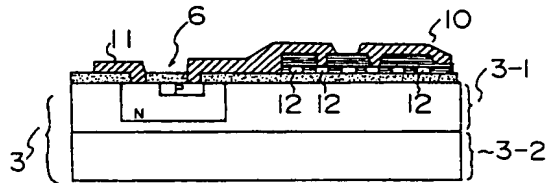
(発明の効果)

以上説明した如く、本発明によれば、発光ダイオード・アレー・チップに対するボンディング数を大幅に減少することができ、生産性を高くすることが可能となる。

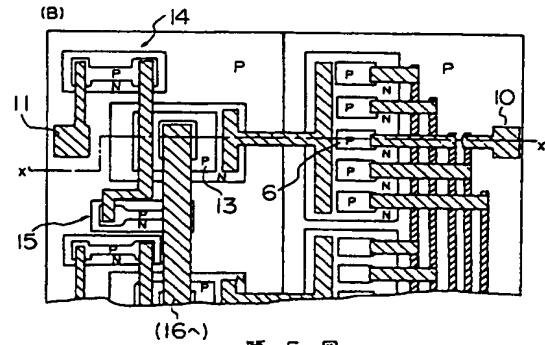
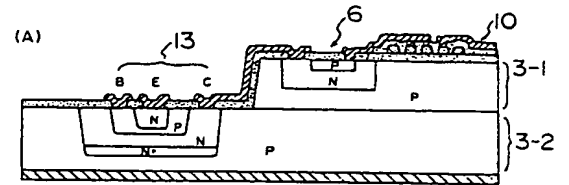
4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は本発明の一実施例全体構成、第3図は第1図に対応する他の実施例、第4図は第1図に対応する半導体ユニットの断面図、第5図は第3図に対応する半導体ユニットの構成、第6図および第7図は夫々従来の構成を示す。

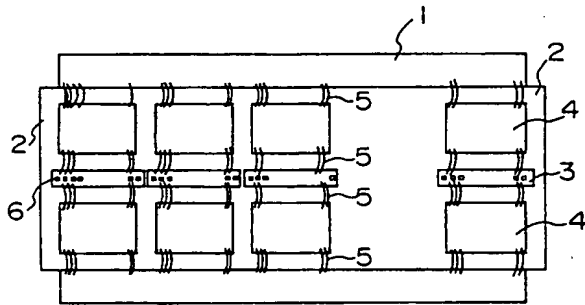
図中、2は実装基板、3は発光ダイオード・アレー・チップ、4は駆動用ICチップ、6は発光



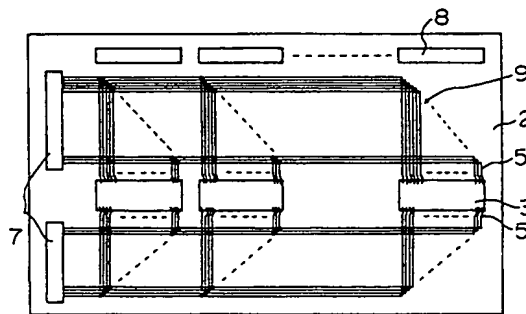
第 4 図



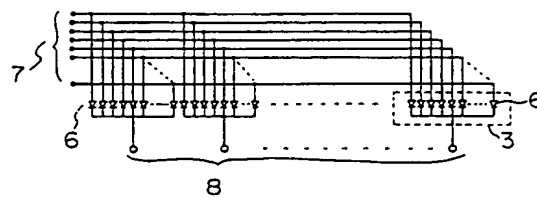
第 5 図



第 6 図



第 7 図(A)



第 7 図(B)

BEST AVAILABLE COPY